



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09213802 A**(43) Date of publication of application: **15.08.97**

(51) Int. Cl.  
**H01L 21/768**  
**H01L 21/28**  
**H01L 27/108**  
**H01L 21/8242**

(21) Application number: **08040441**(71) Applicant: **SONY CORP**(22) Date of filing: **02.02.96**(72) Inventor: **KURODA HIDEAKI**

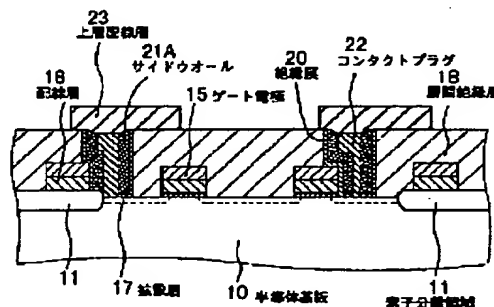
(54) CONNECTION HOLE OF SEMICONDUCTOR  
 ELEMENT, FORMATION THEREOF, WIRING  
 STRUCTURE OF SEMICONDUCTOR ELEMENT,  
 AND SEMICONDUCTOR ELEMENT

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent generation of a short circuit in a connection hole and a gate electrode and maintain high insulation pressure resistance even when misalignment is generated in forming an aperture portion in an interlayer insulating film, by forming an insulating film protected by a sidewall made of amorphous silicon onto the inner wall of the connection hole.

**SOLUTION:** A connection hole for connecting a diffusion layer 17 formed in a semiconductor substrate 10 with an upper wiring layer 23 is formed. On the inner wall of the connection hole, a double-layer insulating film 20 including an SiN layer and an SiO<sub>2</sub> layer protected by a sidewall 21A made of amorphous silicon is formed. Thus, even when misalignment is generated in forming an aperture portion in an interlayer insulating film 18, a shoulder portion of a gate electrode 15 or the like is prevented from being exposed and thus a short circuit is prevented from being generated in the connection hole and the gate electrode 15. Also, since the insulating film 20 formed on the inner wall of the connection hole is protected by the sidewall 21A made of amorphous silicon, damages to the insulating film 20 are prevented.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-213802

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	C
21/28			21/28	L
27/108			27/10	6 2 1 C
21/8242				

審査請求 未請求 請求項の数 8 F D (全 12 頁)

(21) 出願番号 特願平8-40441

(22) 出願日 平成8年(1996)2月2日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 黒田 英明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 山本 孝久

2. F<sup>01</sup>

(54) 【発明の名称】 半導体素子の接続孔及びその形成方法、並びに半導体素子の配線構造及び半導体素子

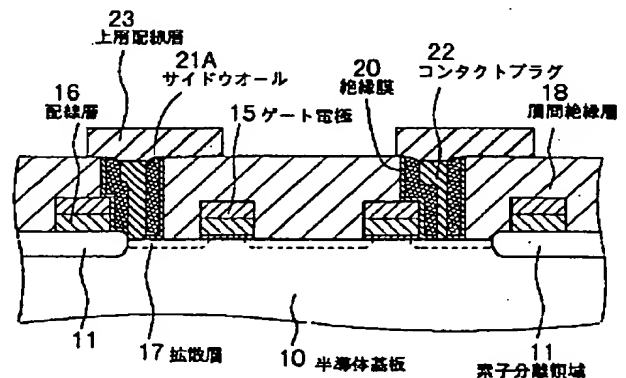
(57) 【要約】

【課題】 接続孔を形成するために導電層の上方の層間絶縁層に開口部を形成する際の合わせずれが、たとえ生じたとしても、接続孔に短絡が発生したり絶縁耐圧が劣化しない構造を有する半導体素子の接続孔を提供する。

【解決手段】 半導体素子の接続孔は、非結晶シリコン21から成るサイドウォールで保護された絶縁膜20が内壁に形成されている。

(発明の実施の形態1)

【工程-160】



## 【特許請求の範囲】

【請求項1】非結晶シリコンから成るサイドウォールで保護された絶縁膜が内壁に形成されていることを特徴とする半導体素子の接続孔。

【請求項2】前記絶縁膜は、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構成であることを特徴とする請求項1に記載の半導体素子の接続孔。

【請求項3】(イ)導電層が形成された基体上に層間絶縁層を形成した後、導電層の上方の層間絶縁層に開口部を形成する工程と、

(ロ)開口部内を含む全面に絶縁膜を形成し、次いで、該絶縁膜上に非結晶シリコン層を形成する工程と、

(ハ)層間絶縁層上及び開口部底部の非結晶シリコン層及び絶縁膜をエッチングし、以て、開口部の内壁を被覆する該絶縁膜上に該非結晶シリコン層から成るサイドウォールを形成する工程と、

(ニ)該開口部内を導電材料で埋め込む工程、から成ることを特徴とする半導体素子の接続孔の形成方法。

【請求項4】前記絶縁膜は、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構成であることを特徴とする請求項3に記載の半導体素子の接続孔の形成方法。

【請求項5】(イ)基体に形成された導電層と、

(ロ)導電層上に形成された層間絶縁層と、

(ハ)該導電層の上方の該層間絶縁層に形成された接続孔と、

(ニ)層間絶縁層上に形成され、該接続孔と接続された上層配線層、から成る半導体素子の配線構造であって、接続孔の内壁に、非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されていることを特徴とする半導体素子の配線構造。

【請求項6】前記絶縁膜は、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構成であることを特徴とする請求項5に記載の半導体素子の配線構造。

【請求項7】(イ)基体に形成された導電層と、

(ロ)該導電層上に形成された層間絶縁層と、

(ハ)該導電層の上方の該層間絶縁層に形成された接続孔と、

(ニ)層間絶縁層の上方に形成され、該接続孔と接続された蓄積電極と、

(ホ)該蓄積電極上に形成されたキャパシタ絶縁膜と、

(ヘ)該キャパシタ絶縁膜上に形成されたプレート電極、を備えた半導体素子であって、接続孔の内壁に、非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されていることを特徴とする半導体素子。

【請求項8】前記絶縁膜は、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構成であることを特徴とする請求項7に記載の半導体素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、接続孔の構造に特徴を有する、半導体素子の接続孔及びその形成方法、並びに半導体素子の配線構造及び半導体素子に関する。

【0002】

【従来の技術】半導体素子には、一般に、下部導電層(配線層)と、層間絶縁層上に形成された上部導電層(配線層)とを電気的に接続するための接続孔が多数形成されている。層間絶縁層内に形成された導電層若しくはキャパシタ絶縁膜等と接続孔との間が電氣的に絶縁されていることを要求される場合、接続孔の内壁に絶縁材料から成るサイドウォールを形成する必要がある。以下、このような従来の接続孔の形成方法を、図13～図14を参照して説明する。

【0003】[工程-10]シリコン半導体基板から成る半導体基板10に、公知の方法で例えばLOCOS構造を有する素子分離領域11を形成した後、半導体基板10の表面を酸化してゲート酸化膜12を形成する。次いで、全面に不純物がドーピングされた多結晶シリコン層13を成膜し、更に、例えばタングステンシリサイドから成るシリサイド層14を全面に成膜する。その後、シリサイド層14及び多結晶シリコン層13をエッチングして、ポリサイド構造を有するゲート電極15を形成する。尚、多結晶シリコン層13及びシリサイド層14の2層構造を有する配線層16を、素子分離領域11の上に併せて形成しておく。その後、半導体基板10に不純物のイオン注入を行い、拡散層17を形成する。この状態を、図12の(A)に模式的な一部断面図で示す。

【0004】[工程-20]その後、全面に第1の層間絶縁層、例えば導電層及び第2の層間絶縁層を順次形成する。そして、拡散層17の上方の第2の層間絶縁層、導電層及び第1の層間絶縁層に開口部19を形成する。この状態を、図12の(B)に模式的な一部断面図で示す。尚、図を簡素化するために、第1の層間絶縁層、導電層及び第2の層間絶縁層を1層で表し、参照番号100を付した。

【0005】[工程-30]次に、例えば $\text{SiO}_2$ から成る絶縁膜101を開口部19内を含む第2の層間絶縁層上に形成する(図13の(A)参照)。その後、絶縁膜101を異方性エッチングし、開口部19の内壁に絶縁膜101から成るサイドウォールを形成する(図13の(B)参照)。

【0006】[工程-40]次いで、開口部19内を導電材料(例えば、不純物がドーピングされた多結晶シリコン)で埋め込み、コンタクトプラグ22を形成し、接続孔を完成させる。次いで、第2の層間絶縁層上に上層配線層23を形成する(図14参照)。コンタクトプラグ22と図示しない導電層とは、絶縁膜101から成るサイドウォールで電氣的に絶縁されている。

【0007】

【発明が解決しようとする課題】[工程-20]におい

て開口部19を形成する際、合わせずれが生じると、図12の(B)に示すように、開口部19がゲート電極15や配線層16に懸かる虞がある。このような現象が生じると、図13の(B)に丸で囲んだ領域に示すように、ゲート電極15や配線層16の肩部が露出し、図14に示すように、コンタクトプラグ22とゲート電極15や配線層16に短絡が生じるという問題が発生する。

【0008】あるいは又、サイドウォールがゲート電極15や配線層16の肩部で薄くなり、開口部19を形成した後、洗浄工程やフッ酸処理を行ったときサイドウォールに段切れが生じ、図14に示すように、コンタクトプラグ22とゲート電極15や配線層16に短絡が生じたり、絶縁耐圧が劣化するという問題が発生する。

【0009】従って、本発明の目的は、接続孔を形成するために導電層の上方の層間絶縁層に開口部を形成する際の合わせずれが、たとえ生じたとしても、接続孔に短絡が発生したり絶縁耐圧が劣化しない構造を有する半導体素子の接続孔及びその形成方法、並びに半導体素子の配線構造及び半導体素子を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体素子の接続孔は、非結晶シリコンから成るサイドウォールで保護された絶縁膜が内壁に形成されていることを特徴とする。

【0011】上記の目的を達成するための本発明の半導体素子の接続孔の形成方法は、(イ)導電層が形成された基体上に層間絶縁層を形成した後、導電層の上方の層間絶縁層に開口部を形成する工程と、(ロ)開口部内を含む全面に絶縁膜を形成し、次いで、該絶縁膜上に非結晶シリコン層を形成する工程と、(ハ)層間絶縁層上及び開口部底部の非結晶シリコン層及び絶縁膜をエッチングし、以て、開口部の内壁を被覆する該絶縁膜上に該非結晶シリコン層から成るサイドウォールを形成する工程と、(ニ)該開口部内を導電材料で埋め込む工程、から成ることを特徴とする。

【0012】上記の目的を達成するための本発明の半導体素子の配線構造は、(イ)基体に形成された導電層と、(ロ)導電層上に形成された層間絶縁層と、(ハ)該導電層の上方の該層間絶縁層に形成された接続孔と、(ニ)層間絶縁層上に形成され、該接続孔と接続された上層配線層、から成り、接続孔の内壁に、非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されていることを特徴とする。

【0013】上記の目的を達成するための本発明の半導体素子は、(イ)基体に形成された導電層と、(ロ)該導電層上に形成された層間絶縁層と、(ハ)該導電層の上方の該層間絶縁層に形成された接続孔と、(ニ)層間絶縁層の上方に形成され、該接続孔と接続された蓄積電極と、(ホ)該蓄積電極上に形成されたキャパシタ絶縁膜と、(ヘ)該キャパシタ絶縁膜上に形成されたプレー

ト電極、とを備えており、接続孔の内壁に、非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されていることを特徴とする。

【0014】本発明においては、絶縁膜を、 $\text{SiO}_2$ 層や $\text{SiN}$ 層の単層から構成してもよいが、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構成であることが好ましい。

【0015】非結晶シリコンとは、具体的には非晶質シリコン又は多結晶シリコンを意味する。導電層が形成された基体としては、例えばソース・ドレイン領域といった拡散層が形成された半導体基板、あるいは、下層配線層がその上に形成された絶縁層を例示することができる。

【0016】本発明において、接続孔の内壁に非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されているので、層間絶縁層に開口部を形成する際、合わせずれが生じたとしても、ゲート電極等の肩部が露出し、接続孔とゲート電極等に短絡が生じることを防止することができる。また、接続孔の内壁に形成された絶縁膜は非結晶シリコンから成るサイドウォールで保護されているので、開口部を形成した後、洗浄工程やフッ酸処理を行ったとき絶縁膜に損傷が発生することがなく、接続孔とゲート電極等に短絡が生じたり、絶縁耐圧が劣化するという問題を回避することができる。

【0017】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態(以下、単に実施の形態と呼ぶ)に基づき本発明を説明する。

【0018】(実施の形態1)実施の形態1は、本発明の半導体素子の接続孔及びその形成方法、並びに半導体素子の配線構造に関する。実施の形態1においては、シリコン半導体基板から成る半導体基板10(基体に相当する)に形成された拡散層17(導電層に相当する)と上層配線層23とを接続するための接続孔を形成する。接続孔は、その内壁に非結晶シリコン(具体的には、多結晶シリコン)から成るサイドウォール21Aで保護された、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構造の絶縁膜20が形成されている。

【0019】実施の形態1における半導体素子の配線構造は、図1に模式的な一部断面図を示すように、シリコン半導体基板から成る半導体基板10(基体に相当する)に形成された拡散層17(導電層に相当する)と、拡散層17上に形成された層間絶縁層18と、拡散層17の上方の層間絶縁層18に形成された接続孔と、層間絶縁層18上に形成され、接続孔と接続された上層配線層23から成る。接続孔は、多結晶シリコンから成るコンタクトプラグ22で埋め込まれている。

【0020】以下、半導体基板等の模式的な一部断面図である図1～図4を参照して、実施の形態1を説明する。

【0021】[工程-100]シリコン半導体基板から

成る半導体基板 10 に、公知の方法で例えば LOCOS 構造を有する素子分離領域 11 を形成した後、半導体基板 10 の表面を酸化し、ゲート酸化膜 12 を形成する。尚、素子分離領域はトレンチ構造を有していてもよい。次いで、全面に不純物がドーピングされた多結晶シリコン層 13 を成膜し、更に、例えばタングステンシリサイドから成るシリサイド層 14 を全面に形成する。その後、フォトリソグラフィ技術及びエッチング技術に基づき、シリサイド層 14 及び多結晶シリコン層 13 をパターンニングして、ポリサイド構造を有するゲート電極 15 を形成する。尚、必要に応じて、多結晶シリコン層 13 及びシリサイド層 14 の 2 層構造を有する配線層 16 を素子分離領域 11 の上に、併せて形成する。その後、半導体基板 10 に不純物のイオン注入を行い、拡散層 17 を形成する。この状態を、図 2 の (A) に模式的な一部断面図で示す。

【0022】[工程-110] 次に、拡散層 17 (導電層に相当する) が形成された半導体基板 10 (基体に相当する) 上に、例えば CVD 法にて  $\text{SiO}_2$  から成る層間絶縁層 18 を形成した後、拡散層 17 の上方の層間絶縁層 18 に、RIE 法で開口部 19 を形成する。この状態を、図 2 の (B) に模式的な一部断面図で示すが、図においては、合わせずれが生じた場合を示している。尚、場合によっては、層間絶縁層 18 の代わりに、第 1 の層間絶縁層、例えば導電層及び第 2 の層間絶縁層を順次形成することもあり得る。

【0023】[工程-120] その後、CVD 法にて、開口部 19 内を含む層間絶縁層 18 上に、 $\text{SiN}$  層を成膜し、その後、 $\text{SiN}$  層上に CVD 法にて  $\text{SiO}_2$  層を成膜する。こうして、開口部 19 内を含む全面に絶縁膜 20 が形成される。この状態を、図 3 の (A) に模式的な一部断面図で示すが、簡素化のため、図においては絶縁膜 20 を 1 層で示した。尚、絶縁膜 20 は、 $\text{SiO}_2$  単層、 $\text{SiN}$  単層、 $\text{SiON}$  単層から構成してもよいし、多結晶シリコン層又は非晶質シリコン層を堆積させ、その表面を酸化することによって形成してもよい。

$\text{SiN}$  層成膜条件

使用ガス： $\text{SiH}_2\text{Cl}_2/\text{NH}_3=70/700\text{ sccm}$

成膜温度： $760^\circ\text{C}$

圧力： $73.3\text{ Pa}$

膜厚： $20\text{ nm}$

$\text{SiO}_2$  層成膜条件

使用ガス： $\text{TEOS}=90\text{ sccm}$

成膜温度： $690^\circ\text{C}$

圧力： $107\text{ Pa}$

膜厚： $20\text{ nm}$

【0024】[工程-130] 次いで、絶縁膜 20 上に非結晶シリコン層 (実施の形態 1 においては多結晶シリコン層) 21 を、以下に例示する条件の CVD 法にて形成する。この状態を、図 3 の (B) に模式的な一部断面

図で示す。尚、非結晶シリコン層 21 は、不純物がドーピングされていなくてもよいが、不純物がドーピングされている方が好ましい。

使用ガス： $\text{PH}_3/\text{SiH}_4=35/465\text{ sccm}$

成膜温度： $530^\circ\text{C}$

膜厚： $100\text{ nm}$

【0025】[工程-140] その後、層間絶縁層 18 上及び開口部 19 底部の非結晶シリコン層 21 及び絶縁膜 20 を、 $\text{HBr}/\text{Cl}_2$  系のエッチングガスを用いて異方性エッチングする。これによって、開口部 19 の内壁を被覆する絶縁膜 20 上に非結晶シリコンから成るサイドウォール 21A が形成される。開口部 19 の内壁を被覆する絶縁膜 20 はその上に形成された非結晶シリコンから成るサイドウォール 21A によって覆われているので、かかる部分の絶縁膜 20 がエッチングガスに曝されることはない。また、サイドウォール 21A をマスクとして、開口部 19 の底部の絶縁膜 20 がエッチングされる。この状態を図 4 の (A) に模式的な一部断面図で示す。尚、エッチングの前に非結晶シリコン層 21 の表面を酸化し、非結晶シリコン層 21 の表面に  $\text{SiO}_2$  膜を形成しておくこと、開口部 19 の内壁の非結晶シリコン層 21 はエッチングされ難くなり、一層確実にサイドウォール 21A を形成することができる。

【0026】[工程-150] 次いで、開口部 19 内を含む層間絶縁層 18 の上に、不純物がドーピングされた多結晶シリコン層を CVD 法にて堆積させ、開口部 19 内を多結晶シリコンから成る導電材料で埋め込む。尚、多結晶シリコン層を CVD 法にて堆積させる前に、開口部 19 の底部に露出した半導体基板 10 の表面に形成された自然酸化膜をフッ酸等によって除去する場合があるが、この場合、絶縁膜 20 がサイドウォール 21 によって覆われているので、フッ酸等によって絶縁膜 20 に損傷が発生することを防止できる。その後、全面をエッチバックして、層間絶縁層 18 上の多結晶シリコン層を除去する。こうして、開口部 19 内が多結晶シリコンから成るコンタクトプラグ 22 で埋め込まれた接続孔が完成する。この状態を図 4 の (B) に模式的な一部断面図で示す。

【0027】尚、コンタクトプラグ 22 を多結晶シリコンから構成する代わりに、高融点金属から構成することもできる。この場合には、例えば、所謂ブランケットタングステン CVD 法にてコンタクトプラグを形成すればよい。そのためには、先ず、 $\text{Ti}$  層及び  $\text{TiN}$  層を、スパッタ法にて順次、開口部 19 内を含む全面に成膜する。 $\text{Ti}$  層及び  $\text{TiN}$  層を形成する理由は、オーミックな低コンタクト抵抗を得ること、タングステンを CVD 法にて成膜する際の半導体基板 10 の損傷発生の防止、タングステンの密着性向上のためである。尚、場合によっては、 $\text{Ti}$  あるいは  $\text{TiN}$  の 1 層構成とすることもできる。 $\text{Ti}$  層及び  $\text{TiN}$  層のスパッタ条件を以下に例示

する。

Ti層(厚さ:30nm)

プロセスガス:Ar=100sccm

圧力 : 0.4Pa

DC電力 : 5kW

基板加熱温度:150°C

TiN層(厚さ:70nm)

プロセスガス:N<sub>2</sub>/Ar=80/30sccm

圧力 : 0.4Pa

DC電力 : 5kW

基板加熱温度:150°C

【0028】TiN層の成膜後、TiN層のバリア性向上のために、以下に例示する条件のアニール処理を施すことが望ましい。

雰囲気:窒素ガス100%

温度 : 450°C

時間 : 30分

【0029】その後、TiN層上にタングステンから成る導電材料層を所謂ブランケットタングステンCVD法にて成膜する。タングステンから成る導電材料層の成膜条件を、以下に例示する。

使用ガス:WF<sub>6</sub>/H<sub>2</sub>/Ar=75/500/2800sccm

圧力 : 1.06×10<sup>-1</sup>Pa

成膜温度:450°C

【0030】次に、タングステンから成る導電材料層、TiN層、Ti層をエッチバックして、開口部内がタングステンから成るコンタクトプラグで埋め込まれた接続孔を形成することができる。エッチバックの条件を以下に例示する。

使用ガス : SF<sub>6</sub>/Cl<sub>2</sub>=25/20sccm

圧力 : 1Pa

マイクロ波電力:950W

RF電力 : 50W(2MHz)

【0031】[工程-160]その後、例えば、濡れ性改善層として機能するTi層、及びAl-0.5%Cuから成る配線材料層を全面にスパッタ法にて成膜し、配線材料層及びTi層を所定のパターンにエッチングし、上層配線層23を形成する。この状態を図1に模式的な一部断面図で示す。尚、図の簡素化のために、上層配線層23は1層で示した。

Ti層成膜条件

プロセスガス:Ar=100sccm

圧力 : 0.4Pa

DC電力 : 5kW

基板加熱温度:150°C

膜厚 : 30nm

配線材料層成膜条件

ターゲット : Al-0.5%Cu

プロセスガス:Ar=100sccm

圧力 : 0.4Pa

DC電力 : 5kW

基板加熱温度:300°C

【0032】尚、場合によっては、開口部19内に多結晶シリコンから成るコンタクトプラグを形成せずに、開口部19を配線材料層で埋め込んでもよい。この場合には、開口部19内を配線材料層で確実に埋め込むために、開口部19内を含む層間絶縁層18上に、コンタクト抵抗の低減及び濡れ性の改善を目的としたTi層をスパッタ法にて成膜し、更に、バリア層として機能するTiN層をスパッタ法にて成膜する。その後、所謂高温アルミニウムスパッタ法(上記の成膜条件において基板加熱温度を500°C前後とし、層間絶縁層18上に堆積したアルミニウム系合金を流動状態とし、開口部19内をアルミニウム系合金で埋め込む方法)や、アルミニウムリフロー法(上記の成膜条件において基板加熱温度を150°C前後とし、層間絶縁層18上に堆積したアルミニウム系合金を堆積させた後、基板を500°C前後に加熱し、層間絶縁層18上のアルミニウム系合金を流動状態とすることによって、開口部19内をアルミニウム系合金で埋め込む方法)、あるいは高圧リフロー法(アルミニウムリフロー法において、層間絶縁層18上に堆積したアルミニウム系合金を堆積させた後、10<sup>6</sup>Pa程度の高圧雰囲気中で基板を加熱し、層間絶縁層18上のアルミニウム系合金を流動状態とすることによって、開口部19内をアルミニウム系合金で埋め込む方法)を採用することで、アルミニウム系合金から成るコンタクトプラグを開口部19内に形成することもできる。

【0033】更に、公知の工程を実行して、半導体素子を完成させる。

【0034】(実施の形態2)実施の形態2は、本発明の半導体素子の接続孔及びその形成方法、並びに半導体素子、より具体的には、キャパシタの蓄積電極(記憶ノード電極)が筒状のスタックトDRAM半導体素子に関する。実施の形態2においては、シリコン半導体基板から成る半導体基板10(基体に相当する)に形成された拡散層17(導電層に相当する)と蓄積電極(記憶ノード電極)とを接続するための接続孔を形成する。実施の形態2における接続孔も、その内壁に非結晶シリコン(具体的には、多結晶シリコン)から成るサイドウォール21Aで保護された、SiN層及びSiO<sub>2</sub>層の2層構造の絶縁膜20が形成されている。

【0035】実施の形態2における半導体素子は、図5に模式的な一部断面図を示すように、シリコン半導体基板から成る半導体基板10(基体に相当する)に形成された拡散層17(導電層に相当する)と、拡散層17上に形成された層間絶縁層30、31と、拡散層17の上方の層間絶縁層30、31に形成された接続孔と、層間絶縁層32の上方に形成され、接続孔と接続され、第1

及び第2の蓄積電極層40、42から成る蓄積電極と、蓄積電極上に形成されたキャパシタ絶縁膜43と、キャパシタ絶縁膜43上に形成されたプレート電極44から成る。そして、接続孔は、蓄積電極を構成する第1の蓄積電極層40から延在する多結晶シリコン層で埋め込まれている。

【0036】以下、半導体基板等の模式的な一部断面図である図5～図10を参照して、実施の形態2を説明する。

【0037】[工程-200] 先ず、実施の形態1の[工程-100]と同様に、シリコン半導体基板から成る半導体基板10に、LOCOS構造を有する素子分離領域11、ゲート酸化膜12、多結晶シリコン層13及びシリサイド層14から成るゲート電極15を形成する。尚、必要に応じて、多結晶シリコン層13及びシリサイド層14の2層構造を有する配線層16を素子分離領域11の上に、併せて形成する。その後、半導体基板10に不純物のイオン注入を行い、拡散層17を形成する。この状態を、図6の(A)に模式的な一部断面図で示す。

【0038】[工程-210] 次に、拡散層17(導電層に相当する)が形成された半導体基板10(基体に相当する)上に、例えばCVD法にて $\text{SiO}_2$ から成り厚さ数百nmの第1の層間絶縁層30を形成し、LP-CVD法にて $\text{SiN}$ から成り厚さ数十nmの第2の層間絶縁層31を形成し、更に、CVD法にてBPSGから成り厚さ数百nmの第3の層間絶縁層32を形成する。その後、BPSGから成る第3の層間絶縁層32に対して $800\sim 900^\circ\text{C}$ の熱処理を施し、第3の層間絶縁層32を平坦化することが好ましい(図6の(B)参照)。尚、平坦化処理は、エッチバック法や化学的機械的研磨法にて行うこともできる。その後、拡散層17の上方の第3、第2及び第1の層間絶縁層32、31、30に、RIE法で開口部19を形成する。この状態を、図7の(A)に模式的な一部断面図で示すが、図においては、合わせずれが生じた場合を示している。

【0039】[工程-220] その後、開口部19内を含む第3の層間絶縁層32上に、実施の形態1の[工程-120]と同様に、 $\text{SiN}$ 層を成膜し、その後、 $\text{SiN}$ 層上に $\text{SiO}_2$ 層を成膜する。こうして、 $\text{SiN}$ 層及び $\text{SiO}_2$ 層の2層構造を有する絶縁膜20が、開口部19内を含む全面に形成される。次いで、実施の形態1の[工程-130]と同様に、絶縁膜20上に非結晶シリコン層(実施の形態2においては多結晶シリコン層)21をCVD法にて形成する。この状態を、図7の(B)に模式的な一部断面図で示すが、簡素化のため、図においては絶縁膜20を1層で示した。非結晶シリコン層21は、不純物がドーピングされていなくてもよいが、不純物がドーピングされている方が好ましい。

【0040】[工程-230] その後、実施の形態1の

[工程-140]と同様に、第3の層間絶縁層32上及び開口部19底部の非結晶シリコン層21及び絶縁膜20を、 $\text{HBr}/\text{Cl}_2$ 系のエッチングガスを用いて異方性エッチングする。これによって、開口部19の内壁を被覆する絶縁膜20上に非結晶シリコンから成るサイドウォール21Aが形成される。開口部19の内壁を被覆する絶縁膜20はその上に形成された非結晶シリコンから成るサイドウォール21Aによって覆われているので、かかる部分の絶縁膜20がエッチングガスに曝されることはない。また、サイドウォール21Aをマスクとして、開口部19の底部の絶縁膜20がエッチングされる。この状態を図8の(A)に模式的な一部断面図で示す。尚、エッチングの前に非結晶シリコン層21の表面を酸化し、非結晶シリコン層21の表面に $\text{SiO}_2$ 膜を形成しておく、開口部19の内壁の非結晶シリコン層21はエッチングされ難くなり、一層確実にサイドウォール21Aを形成することができる。

【0041】[工程-240] 次いで、開口部19内を含む第3の層間絶縁層32の上に、不純物がドーピングされた多結晶シリコン層をCVD法にて堆積させ、開口部19内を多結晶シリコンから成る導電材料で埋め込む。これによって、開口部19内が多結晶シリコンから成るコンタクトプラグ22Aで埋め込まれた接続孔が完成する。また、第3の層間絶縁層32上には、かかる多結晶シリコンから成る第1の蓄積電極層40が形成される。次に、第1の蓄積電極層40の上に、厚さ数百nmの $\text{SiO}_2$ から成る酸化膜41をCVD法にて成膜した後、酸化膜41及び第1の蓄積電極層40を蓄積電極(記憶ノード)のパターンに異方性エッチングする。その後、厚さ数十～数百nmの不純物がドーピングされた多結晶シリコンから成る第2の蓄積電極層42をCVD法にて全面に堆積させる。この状態を図8の(B)に模式的な一部断面図で示す。

【0042】[工程-250] 次に、第2の蓄積電極層42を異方性エッチングした後(図9の(A)参照)、 $\text{SiO}_2$ から成る酸化膜41、BPSGから成る第3の層間絶縁層32を、 $\text{SiN}$ から成る第2の層間絶縁層31をエッチングストッパーとして、フッ酸でウェットエッチングして除去する(図9の(B)参照)。こうして、第1及び第2の蓄積電極層40、42から成る筒状のキャパシタの蓄積電極(記憶ノード電極)が形成される。

【0043】[工程-260] その後、 $\text{SiO}_2$ 又は $\text{SiN}$ から成り、あるいは、ONO構造を有するキャパシタ絶縁膜43を全面にCVD法によって成膜する(図10の(A)参照)。

【0044】[工程-270] 次に、不純物がドーピングされた多結晶シリコン層をCVD法にて全面に堆積させ、かかる多結晶シリコン層から成るプレート電極44を形成した後、全面に、例えば $\text{SiN}$ から成る第4の層

間絶縁層45をLP-CVD法で形成する(図10の(B)参照)。そして、フォトリソグラフィ技術及びエッチング技術に基づき、第4の層間絶縁層45及びプレート電極44を所望のプレート電極形状にパターンニングし、更に、第2の層間絶縁層31及び第1の層間絶縁層30を異方性エッチングする。

【0045】[工程-280]その後、第5の層間絶縁層46をCVD法で全面に堆積させ、例えば化学的機械的研磨法で平坦化処理を行い、第5の層間絶縁層46、第4の層間絶縁層45、プレート電極44、第2の層間絶縁層31及び第1の層間絶縁層30を異方性エッチングして、開口部を形成する。そして、 $\text{SiO}_2$ 、 $\text{SiN}$ 又は $\text{SiN}/\text{SiO}_2$ から成る厚さ数十nmの絶縁膜を、開口部内を含む第5の層間絶縁層46上にCVD法にて堆積させ、更に、絶縁膜の上に厚さ数十〜数百nmの非結晶シリコン(非晶質シリコン層又は多結晶シリコン層)を堆積させる。尚、この非結晶シリコン層には、不純物がドーピングされていてもよいし、されていなくともよい。その後、非結晶シリコン層及び絶縁膜をエッチバックし、非結晶シリコン層及び絶縁膜から成るサイドウォール47をかかす開口部の内壁に形成する。かかるサイドウォール47は、実施の形態1におけるサイドウォール21Aと実質的に同一の構造を有する。ここで、図においては、簡素化のためサイドウォール47を1層で示した。尚、場合によっては、本発明の接続孔におけるサイドウォールの構成と異なるが、絶縁膜の上に非結晶シリコンを堆積させる代わりに、 $\text{Ti}$ 層、 $\text{TiN}$ 層、 $\text{Ti}$ 層/ $\text{TiN}$ 層、 $\text{W}$ 層、 $\text{TiW}$ 層等をスパッタ法にて絶縁膜上に成膜することでサイドウォール47を形成してもよい。更には、場合によっては、非結晶シリコン層や $\text{Ti}$ 層等の形成を省略することができる。

【0046】その後、サイドウォール47が形成された開口部内を、不純物がドーピングされた多結晶シリコンで埋め込み、ビットコンタクト48を形成する。尚、開口部内を多結晶シリコンで埋め込む代わりに、実施の形態1にて説明したブランケットタングステンCVD法にてビットコンタクト48を形成してもよい。

【0047】次いで、例えば、濡れ性改善層として機能する $\text{Ti}$ 層、及び $\text{Al}-0.5\%\text{Cu}$ から成る配線材料層を、実施の形態1の[工程-160]と同様に、全面銅のCVD成膜条件

使用ガス :  $\text{Cu}(\text{HFA})_2/\text{H}_2=10/1000\text{ sccm}$   
 圧力 :  $2.6 \times 10^3\text{ Pa}$   
 基板加熱温度 :  $350^\circ\text{C}$   
 パワー :  $500\text{ W}$

【0052】また、 $\text{TiN}$ 層、 $\text{Ti}$ 層をスパッタ法にて成膜する代わりに、 $\text{TiN}$ 層、 $\text{Ti}$ 層を、以下に例示す

$\text{Ti}$ のECR-CVD条件

使用ガス :  $\text{TiCl}_4/\text{H}_2=10/50\text{ sccm}$   
 マイクロ波パワー :  $2.18\text{ kW}$

にスパッタ法にて成膜し、配線材料層及び $\text{Ti}$ 層を所定のパターンにエッチングし、上層配線層49を形成する。この状態を図5に模式的な一部断面図で示す。尚、図の簡素化のために、上層配線層49を1層で示した。

【0048】更に、公知の工程を実行して、半導体素子を完成させる。

【0049】以上、本発明を発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。実施の形態にて説明した各工程における各種の条件は例示であり、適宜変更することができる。

【0050】例えば、図11に模式的な一部断面図を示すように、基体が絶縁層50から構成され、導電層が下層配線層51から構成されている場合にも、本発明の半導体素子の接続孔の形成方法を適用することによって、本発明の接続孔並びに半導体素子の配線構造を形成することができる。図11に示した構造においては、下層配線層51及び絶縁層50の上に絶縁層52、中間配線層53及び絶縁層54が形成されている。そして、下層配線層51の上方の絶縁層52、中間配線層53及び絶縁層54には接続孔が形成され、この接続孔の内壁には、非結晶シリコンから構成されたサイドウォール56で保護された絶縁膜55が形成されている。開口部内は、不純物がドーピングされた多結晶シリコンや高融点金属材料、あるいはアルミニウム系合金から成る配線材料で埋め込まれたコンタクトプラグ57が形成されている。中間配線層53は、絶縁膜55によってコンタクトプラグ57と電気的に絶縁されている。絶縁層54の上には、接続孔に接続された上層配線層58が設けられている。接続孔の形成方法は、実施の形態1にて説明したと同様の方法で行うことができるので、詳細な説明は省略する。

【0051】開口部の埋め込みをブランケットタングステンCVD法にて行う代わりに、他の金属や高融点金属にて埋め込むこともできる。例えば、CVD法で銅層やアルミニウム層を形成することによって、銅やアルミニウムから成るコンタクトプラグやビットコンタクトを形成することもできる。CVD法による銅層の形成条件を以下に例示する。尚、HFAとは、ヘキサフルオロアセチルアセトネートの略である。

る条件のCVD法にて成膜することもできる。



温度 : 420° C  
 圧力 : 0.12 Pa  
 TiNのECR-CVD条件  
 使用ガス :  $\text{TiCl}_4/\text{H}_2/\text{N}_2 = 20/26/8$  sccm  
 マイクロ波パワー : 2.8 kW  
 基板RFバイアス : -50 W  
 温度 : 420° C  
 圧力 : 0.12 Pa

【0053】上層配線層を構成するアルミニウム系合金としてAl-Cuを用いたが、その代わりに、純アルミニウム、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge等の種々のアルミニウム合金を用いることもできる。また、各種の層間絶縁層として、必要に応じて、 $\text{SiO}_2$ 、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LTO (Low Temperature Oxide、低温CVD- $\text{SiO}_2$ )、SiN、SiON等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものをを用いることができる。

#### 【0054】

【発明の効果】本発明においては、接続孔の内壁に非結晶シリコンから成るサイドウォールで保護された絶縁膜が形成されているので、層間絶縁層に開口部を形成する際、合わせずれが生じたとしても、ゲート電極等の肩部が露出し、接続孔とゲート電極等に短絡が生じることを防止することができるし、高い絶縁耐圧を保持することができる。また、接続孔の内壁に形成された絶縁膜は非結晶シリコンから成るサイドウォールで保護されているので、開口部を形成した後、洗浄工程やフッ酸処理を行ったとき絶縁膜に損傷が発生することがなく、接続孔とゲート電極等に短絡が生じるという問題を回避することができるし、高い絶縁耐圧を保持することができる。

#### 【図面の簡単な説明】

【図1】発明の実施の形態1における半導体素子の模式的な一部断面図である。

【図2】発明の実施の形態1における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、発明の実施の形態1における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、発明の実施の形態1における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図5】発明の実施の形態2における半導体素子の模式的な一部断面図である。

【図6】発明の実施の形態2における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図7】図6に引き続き、発明の実施の形態2における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図8】図7に引き続き、発明の実施の形態2における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図9】図8に引き続き、発明の実施の形態2における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、発明の実施の形態2における半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図11】基板が絶縁層から構成され、導電層が下層配線層から構成されている場合の、本発明の半導体素子の接続孔の形成方法を適用することによって得られた接続孔並びに半導体の配線構造を示す模式的な一部断面図である。

【図12】従来の半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図13】図12に引き続き、従来の半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

【図14】図13に引き続き、従来の半導体素子の製造工程を説明するための、半導体基板等の模式的な一部断面図である。

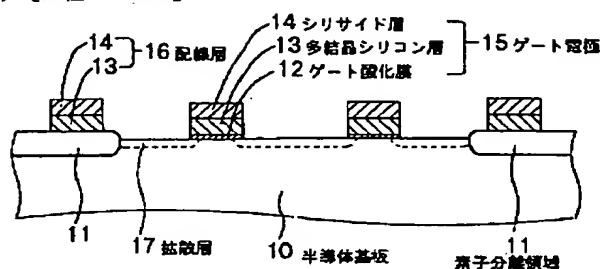
#### 【符号の説明】

10・・・半導体基板、11・・・素子分離領域、12・・・ゲート酸化膜、13・・・多結晶シリコン層、14・・・シリサイド層、15・・・ゲート電極、16・・・配線層、17・・・拡散層、18, 30, 31, 32, 45, 46・・・層間絶縁層、19・・・開口部、20, 55・・・絶縁膜、21・・・非結晶シリコン層、21A, 47, 56・・・サイドウォール、22, 22A, 57・・・コンタクトプラグ、23, 49, 58・・・上層配線層、40, 42・・・蓄積電極層、41・・・酸化膜、43・・・キャパシタ絶縁膜、44・・・プレート電極、48・・・ビットコンタクト、50, 52, 54・・・絶縁層、51・・・下層配線層、53・・・中間配線層

【図 2】

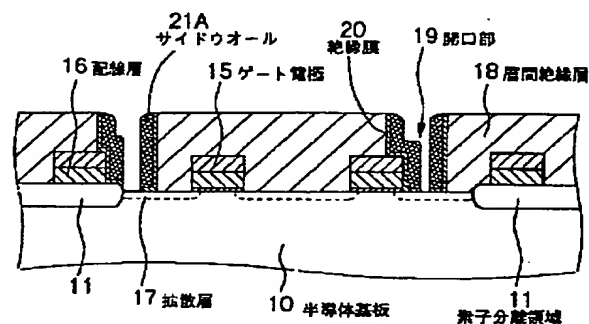
(A) [工程-100]

14シリサイド層

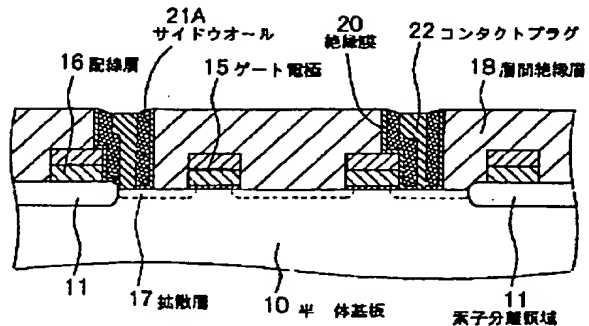


【図 4】

(A) [工程-140]



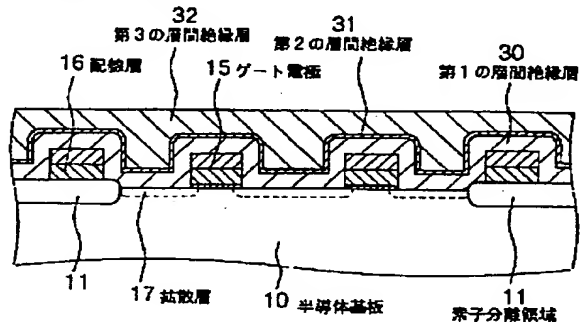
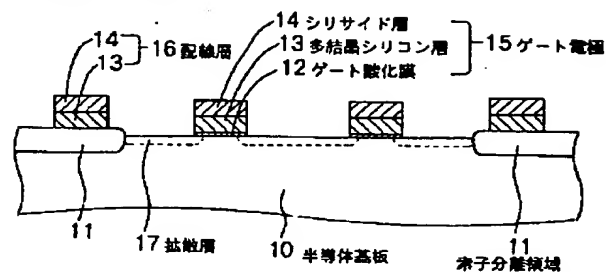
(B) [工程-150]



【図 6】

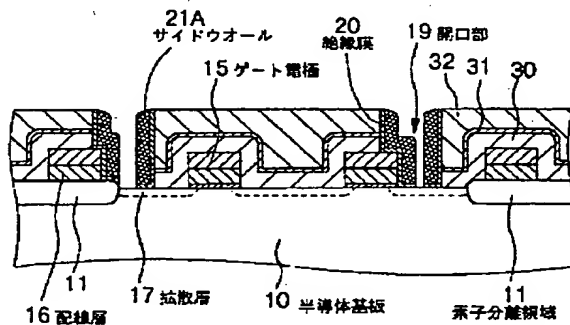
(A) [工程-200]

(B) [工程-210]

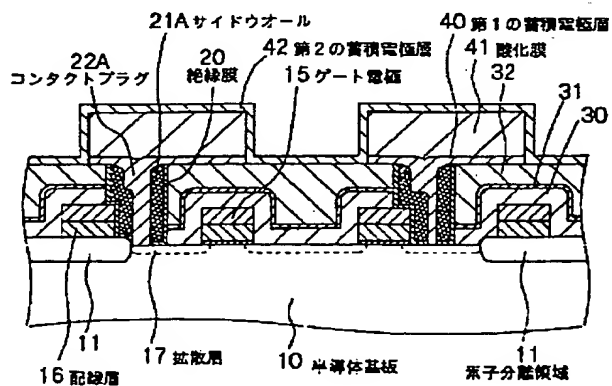


【図 8】

(A) [工程-230]

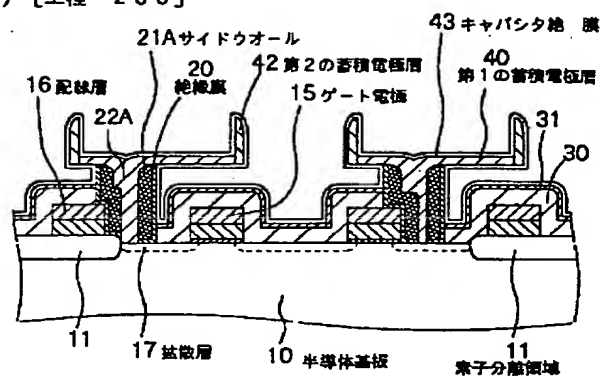


(B) [工程-240]

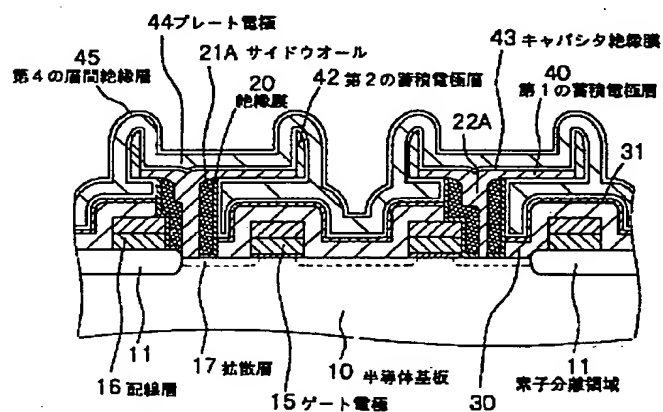


【☒ 10】

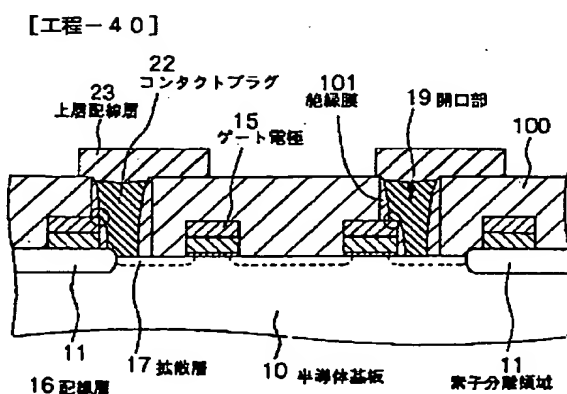
(A) [工程-260]



(B) [工程-270]



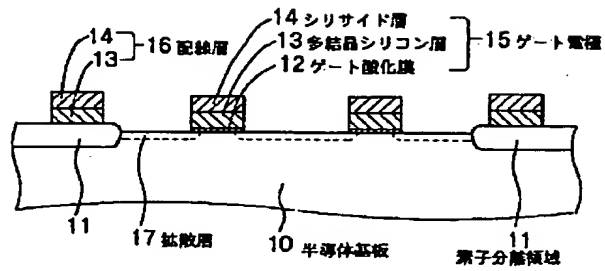
【図 14】



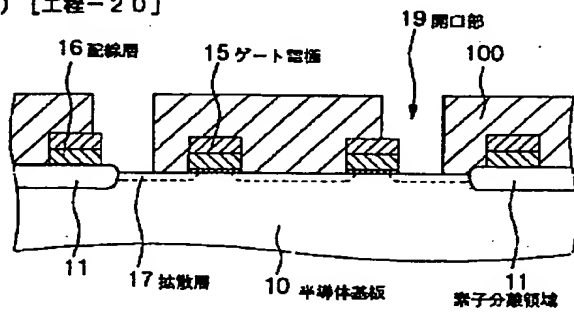
【図12】

(従来の技術)

(A) [工程-10]

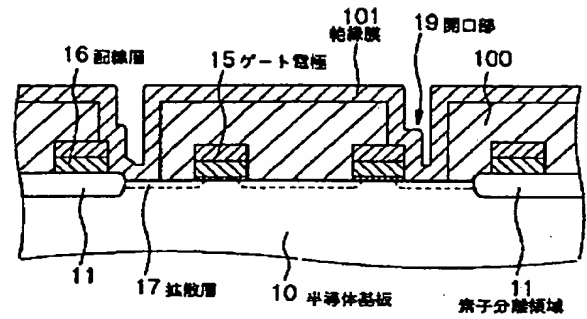


(B) [工程-20]



【図13】

(A) [工程-30]



(B) [工程-30] 続き

